

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202693

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H03M 1/10

H03M 1/06

(21)Application number : 06-296698

(71)Applicant : NOKIA MOBILE PHONES LTD

(22)Date of filing : 30.11.1994

(72)Inventor : MIKKOLA PEKKA

LINTINEN MARKKU

RANTA JUKKA

(30)Priority

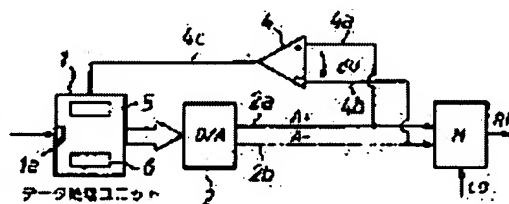
Priority number : 93 935346 Priority date : 30.11.1993 Priority country : FI

(54) METHOD AND DEVICE FOR COMPENSATING FOR SIGNAL OFFSET IN ELECTRONIC DEVICE

(57)Abstract:

PURPOSE: To economically compensate DC offset voltage in a D/A converter considering also changes due to temperature changes or the like.

CONSTITUTION: An error correcting register 5 is used, whose value is changed based on DC offset, and the changed value is added to each signal simple to be converted to execute DC offset compensation. The value of the register 5 is changed during the period of a testing mode. A control value previously set the zero volt output of an ideal D/A converter is applied to the D/A converter 2, the voltage values of respective outputs of differential output pair 2a, 2b provided in relation to the converter 2 are compared, and the polarity of the voltage difference dU and the polarity, i.e., sign, of the relative DC offset are verified. Consequently a value in the register 5 is increased or reduced by one from a initially set value, which is preferably zero based on the polarity of the voltage difference dU.



LEGAL STATUS

[Date of request for examination] 20.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

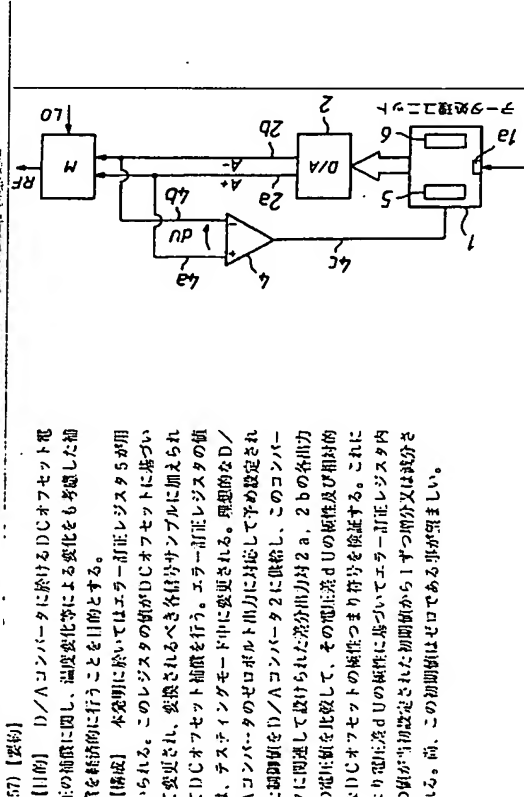
(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平7-202693
(43)公開日 平成7年(1995)8月4日

(51)IntCl.: H03M 1/10 B 特開平6-28688 特許庁 特開平7-202693 特許庁 特開平7-202693

(21)出願番号 特開平6-28688 (22)出願日 平成6年(1994)11月30日 (23)優先権主張番号 935346 (24)優先日 1993年11月30日 (25)優先権主張国 フィンランド (F1)

審査請求 未請求 請求項の数 20 OL (全 7 頁)
(71)出願人 59005812 ノキア モービル フォンズ リミティド
フィンランド国、エスエーア-24101 サロ、
ビー、オー、ボックス 88
(72)発明者 ベツカ ミツコ
フィンランド国、エフアイエヌ-24280
サロ、サーリスカツ 6 エーエス、7
(73)発明者 マルク リンディネン
フィンランド国、エフアイエヌ-24100
サロ、プロリクヤ 2 エーエス、18
(74)代理人 弁理士 石田 敏 (外3名)

(54)【発明の名称】 電子装置における信号オフセットを補償するための方法、及びそのための装置
(57)【要約】



【特許請求の範囲】
【請求項1】 電子装置 (2: 8) に於ける信号のオフセットに対して補償を行う方法であって、所定の信号を前記電子装置 (2: 8) に入力する段階と、
それぞれ前記所定の信号に対応して、前記電子装置 (2: 8) からの理想的な出力と実際の出力との差分を示すエラー信号を算出する段階と、
前記エラー信号に応じて、記憶手段 (5: 12, 13) 内に格納された補償値を変更する段階と、
前記補償値を前記電子装置 (2: 8) に対する次の信号入力に加工する段階と、
を有するオフセット補償方法。
【請求項2】 前記差分が最小値を通過するまで前記所定の信号を次の信号としながら前記各段階を繰り返す段階を更に有する請求項1に記載の方法。
【請求項3】 前記電子装置 (2: 8) がD/Aコンバータである請求項1に記載の方法。
【請求項4】 前記エラー信号が前記差分の極性を表示している請求項1乃至3のいずれか1項に記載の方法。
【請求項5】 前記電子装置 (2: 8) が差分の対出力ポートを有しており、前記記憶手段が差分信号である請求項1乃至4のいずれか1項に記載の方法。
【請求項6】 前記所定の信号が理想的に大ききゼロである請求項1乃至5のいずれか1項に記載の方法。
【請求項7】 前記エラー信号が、前記差分信号のそれの信号間での差を示すものである請求項5に記載の方法。
【請求項8】 前記記憶手段 (5: 12, 13) に格納された値は、前記極性がマイナスである場合には増分され、前記極性がプラスである場合には減分される請求項4乃至7のいずれか1項に記載の方法。
【請求項9】 前記差分の最小値の通過が前記差分の極性の変化によって示される請求項2に記載の方法。
【請求項10】 前記記憶手段が、前記電子装置が動作していない期間中に行われる請求項1乃至9のいずれか1項に記載の方法。
【請求項11】 電子装置 (2: 8) に於ける信号のオフセットに対して補償を行うためのオフセット補償装置であって、
前記電子装置 (2: 8) に所定の信号を入力する為の入力手段 (1: 7) と、
所定の信号を前記電子装置 (2: 8) に入力する為の入力手段 (1: 7) と、
それぞれ前記所定の信号に対応して前記電子装置 (2: 8) からの理想的な出力と実際の出力との差分を示すエラー信号を算出する出力手段 (4: 10, 11) と、
前記出力手段 (4: 10, 11) に基づいて、記憶手段 (5: 12, 13) 内に格納された補償値を変更する為の記憶手段と、

前記記憶手段 (2: 8) に対する次の信号入力に加工する為の加工手段と、
を具備するオフセット補償装置。
【請求項12】 前記電子装置 (2: 8) がD/Aコンバータである請求項11に記載の装置。
【請求項13】 前記出力手段 (4: 10, 11) が前記差分の極性を検出するように適合されている請求項1又は12に記載の装置。
【請求項14】 前記電子装置 (2: 8) が、差分信号として実際の信号を出力する差分信号ポートを備えており、前記記憶手段 (5: 12, 13) が、理想的に大ききゼロの所定信号を前記電子装置 (2: 8) に入力するように適合されている請求項1乃至14のいずれか1項に記載の装置。
【請求項15】 前記入力手段 (1: 7) が、理想的に大ききゼロの所定信号を前記電子装置 (2: 8) に入力するように適合されている請求項1乃至14のいずれか1項に記載の装置。
【請求項16】 前記出力手段が、前記差分信号のそれの信号間での差分を検出するように適合されている請求項14に記載の装置。
【請求項17】 前記記憶手段 (5: 12, 13) 内に格納された値が、前記極性がマイナスである場合には増分され、前記極性がプラスである場合には減分される請求項13乃至16のいずれか1項に記載の装置。
【請求項18】 前記差分が前記最小値を通過する状態が、前記差分の極性の変化によって示される請求項13に記載の装置。
【請求項19】 前記入力手段 (1: 7) は、前記電子装置 (2: 8) が動作していないときに所定の信号を前記電子装置に入力する請求項1乃至18のいずれか1項に記載の装置。
【請求項20】 前記記憶手段 (5: 12, 13) に格納される値が更新されるとき、フリータイムスロット又は前記電子装置 (2: 8) の非動作を検出する為の装置 (15) を更に具備する請求項19に記載の装置。
【発明の詳細な説明】
【0001】
【産業上の利用分野】 本発明は、D/AコンバータのD/Aオフセット電圧の補償を行う為の方法及び装置に関し、特に、デジタル無線電話のD/AコンバータのD/Aオフセット電圧を補償するための方法及び装置に関する。
【0002】
【従来の技術】 デジタル無線電話においては、送信されるべき信号の振幅が変調器のデジタル部分で行われ、その後、変調されたデジタル信号がD/Aコンバータによってアナログ信号に変換される。アナログ信号は、無線電話の無線周波数帯域に結合されて無線信号として発信される。このD/Aコンバータについては次のような問題がある。即ち、出力に低レベルのゆっくりと変化するD/Aオフセットが生じることである。通常、これは回路部品の特性が理想通りに得られない為であって、変換され

るべきデジタル信号には関係ない。D/Hコンバータは、移動電話の発信信号における搬送波の周波数という好ましくない結果を生じ、これが信号の送信を妨害する。従ってD/HコンバータのDCオフセットを補償することが望ましい。

【0003】 D/AコンバータのD/Cオフセットを補償するための告知の方法においては、D/Aコンバータと関連してエラー訂正レジスタが用いられ、このレジスタの内容の値が出力されたD/Cオフセットに応じて変化され、この変化した値が自動的に各名路の大きさに加えられる。D/AコンバータのD/Cオフセットの大きさと同じ大きさをもち、かつ相補性がこれと反対の傾きをエラータ訂正レジスタをもち、かつ補償を行うことによってD/Cオフセットに対して補償が行うことが出来る。

[0004]

【発明が解決しようとする課題】上記述べたようなDCオフセットの補償方法、温度変化に起因するDCオフセットの変化を考慮に入れていないという点で問題である。この温度変化による挙動の予想することが不可能であり、また温度的に生じるような変動も、さらにD/Aコンバータのユニット毎にそれぞれバラツキがある。各D/Aコンバータの異なる温度挙動をいちいち計算してこの計測値をD/Aコンバータ毎にメモリに記憶することには経済的な見地からは良い方法とは言えない。温度変化によるDCオフセットの変化を考慮したDCオフセットの補償は何か別の経済的な方法で行ってやる必要がある。

【5000】

【課題を解決するための手段】本発明の第1の形態によれば、電子装置（2；8）に於ける信号のオフセットに對して補正を行う方法において、所定の信号を電子装置に對して、上記電子装置（2；8）から、所定の信号に對して、上記電子装置（2；8）からの理想的な出力と実際の出力との差分がエラー信号を導き出す段階と、このエラー信号に応じて、記憶手段（5；12、13）に格納された補正値を変更する段階と、その値を上記電子装置（2；8）に對する次の信号入力に加工する段階とを備えた方法が提供される。また、本発明の第2の形態によれば、電子装置（2；8）に於ける信号のオフセットに對して補正を行うための装置において、上記電子装置（2；8）に所定の信号を入力する為の人力手段（1；7）と、それからの所定の信号に對して、上記電子装置（2；8）からの理想的な出力と実際の出力との差分がエラー信号を導き出す後出手段（4；10、11）と、このエラー信号に応じて記憶手段（5；12、13）に記憶された補正値を変更する変更手段と、その値を上記電子装置（2；8）に對する次の信号入力に加工する為の加工手段とを具備する装置が提供される。

[0006]

【作用】本発明に係る主回路は、制御部によれば、制御部をルックアップテーブルを用いる必要なく、オフセットの変化に伴って、オフセットの値が行えるという利点が得られ、制御部は、本発明の位置を格納して位置登録の作動中に値の値を更新する作を可能にし、更に、熱ドリフト又は他の要因を電子装置の好ましくなく生ずる動作をも考慮に入れた動作が行われる。

【0007】好ましい実施形態においては、上記差分が、最小値を通過するまでこの方法が繰り返実行される。これにより本発明を利用する装置、例えば始動間中における補正値の初期化を行う事が出来るという利点が得られる。

【0008】また、本発明の方法及び装置においては、その装置が通常の目的で使用されていないときにだけ、上記所定信号が入力されるように構成されることが望ましい。これは、袖口値の更新又は変更が、係る電子装置の通常動作を妨げるが無く行い得るようにするためである。

[000]

【実施例】以下、本発明を添付図面に示す実施例を基に詳細に説明するが、以下の説明は本発明の範囲をこの実施例にのみ限定する趣旨ではない。

【0010】図1に示す回路構成は、処理ユニット1と、D/Aコンバータ2と、RF変調器3と、比較器4とを有する。処理ユニット1は、マイクロプロセッサを

基にしては同回路受容であって、これはエータ1修正レジスタ5とデステイングユニット6とを有するものが好まし。エータ1修正レジスタ5は、場合によってはD/Aコンバータ2と関連づけ処理ユニット1外側に設置されてよい。処理ユニット1とD/Aコンバータ2とは互いに相互に接続される。D/Aコンバータ2はマイクロプロセッサ同様の回路構成であり、通常、これはそれぞれ異なる目的の多数のレジスタを有して構成される。D/Aコンバータ2は、少なくとも一月分の出力2 a、2 bを有しており、これらの出力力から信号A +、A -は大きさが互いに同じであるが異なる極性を持つものである。此装置4は入力端子4 a、4 bを有しており、これらはD/Aコンバータ2の差出力2 a、2 bにそれぞれ接続されている。此装置4の出力4 a、4 bは処理ユニット1に接続されている。D/Aコンバータ2の出力2 a、2 bはRF変調器3に接続されていく。デステイングユニット6は、処理ユニット1と関連づけプログラム可能のように構成されるのが好まし。

【0011】図1に示す回路構成において、例えば8ビットワードのシリアル信号であるデジタル信号が、入力11aから処理ユニット11に入力される。処理ユニット11において1周又はそれ以上の数の変調信号が、逐回される変調方法に応じて得られ、これらの変調信号がデータバス1bを經由してパラレルにD/Aコンバータ2に入

力される。D/Aコンバータ2の差動出力2a, 2bから得られるアナログ信号A+, A-はR/F変調器3にアナログ信号A+, A-とローカル発振器信号との中間周波数信号とがR/F変調器の中へ組み合わされて高周波信号が生成され、これが無線線路に送り出される。

【0012】D/AコンバータのDCオフセットを補正するための発明の要旨は、D/Aコンバータ2の差動出力2a、2bと、比較器4と、処理ユニット1と、エラー訂正レジスタ5と、テストデータコンフィグ26とを含む。DCオフセットのチェック及び補償は、処理ユニット1及びD/Aコンバータ2から無断経路に送られるべき信号が存在しない時にいつでも行われる。このプロセスを以下タイミングチャートでも示す。

【0013】図1に示す本発明の装置を用いたDCオフセットの補償は、以下のように行われる。エラー訂正レジスタには適当な初期値が与えられている。この初期値はゼロであるのが望ましい。次いで変調器が与えられ、このようにしてスティティングモードが選択される。理論的にD/Aコンバータの出力がゼロポルトに対応する初期値が、変調ユニット1のスティティングユニットからデータバス1bを經由してD/Aコンバータ2に入力される。この場合、もしDCオフセットが生じていなければ、D/Aコンバータ2によって行われたD/A変換の後、各通出力2a、2bはゼロポルトの電圧にある。

【0014】差動出力2 a, 2 bは、お互いから独立して、仮にDCCオフセットがあればそれは差動出力2 a, 2 bのそれぞれの電圧変化として取れる。もしも出力2 a, 2 bにおける信号A+の値U A+が0 mVであり、一方、出力2 bに現れる信号A-の値U A-が+10 mVであると仮定すると、比較器の入力4 a, 4 bの間に差電圧d U = (U A+) - (U A-) = -10 mVが印加される。D/Aコンバータ2の出力2 a, 2 bの差電圧d Uの極性、即ち差電圧がプラスであるかマイナスであるかは比較器4によって決定される。この例においては、比較器4によって行われた比較の結果、端子4 a, 4 bに現れる範囲電圧がマイナス、即ちU = -10 mVである場合には比較器4の出力4 cにプラスの信号が与えられる。即ち、出力が一定のプラスの電圧まで高められる。処理ユニット1は比較器4の出力4 cの状態を検査し、もしこれが低い時には、エラー訂正レジスタ5の内容から1を減分して内容を変更し、それによりこの例においてはエラー訂正レジスタ5の値が-1となる。

【0015】 テスティングフェーズに関連して更新されたエラー訂正レジスタ5の値がテストユニット26の制御値に加えられ、その結果がD/Aコンバータ2に入力され、テストフェーズが再び開始される。D/Aコンバータ2の送出力2a, 2bの出力電圧の差ΔUの極性、即ち、差電圧がプラスであるかマイナスであるかが判定される。

の更新の問題に比べても十分に低い。従ってテストイングフェーズこれよりも短い期間で行ってやる必要はない。

【0019】図2は、移動電話用GMSK変調器を示す。この変調器は、処理ユニットとして機能する信号プロセッサ7と、D/Aコンバータ8と、1/Q周波数変換器9とを有しており、これらは設置した順序で順列に接続されている。時分割フレームにバックされた音声データのようなビットストリームが、入力コネクタ7aを介して信号プロセッサ7に供給される。信号プロセッサ7は、これに供給されたデータから、1及びQプランチの2つの基調信号を形成する。これらの変調信号は、デュータバス7bを輸出してパラレルにD/Aコンバータ8へ送られる。D/Aコンバータ8は、2対の差出力8a、8b及び8c、8dを有している。第1の対8a、8bからはQプランチの第1のアナログ差出力信号8a+、Q-が得られ、第2の対8c、8dからは1プランチの第2のアナログ差出力信号8c+、1-が得られる。

【0020】これらの差出力8a+、Q-、1+及び1-は、1/Q周波数変換器9に供給され、そこにこれらの信号は、ローカル信号LOを用いて高周波信号に変換され、その後、互いにミックスされて高い周波数と低い周波数とを形成してこれが無線ネットワーク7内、又はこれと関連してプログラム可能なユニットとして形成される。信号プロセッサ7は比較器10、11の出力10c、11cをチェックすると共にエラー訂正レジスタ12、13の更新を行う機能を持つ。

【0021】D/Aコンバータ8の出力8a、8b及び8c、8dにおいては、既に述べたように、主に温度変化に起因する電圧ドリフトによってD/Cオフセットが生じる。装置は、D/AコンバータのD/Cオフセットを補償するために、D/Aコンバータ8に関連して設けられた差出力8a、8b及び8c、8d、並びにこれに関連して設けられた2つの比較器10、11を有しており、これらの比較器の出力10a、10b及び11a、11bが出力8a、8b及び8c、8dにそれぞれ接続されている。装置はさらに信号プロセッサ7を含んでおり、これに比較器10及び11のそれぞれ出力10c及び11cが接続されており、さらに、2つのエラー訂正レジスタ12、13とテストイングユニット14とを含んでいる。エラー訂正レジスタ12、13及びテストイングユニット14は処理ユニット11に関連づけ設けられることが望ましい。

【0022】D/Aコンバータ8において発生する可能性のあるD/Cオフセットは、次のような態様で補正される。D/Aコンバータ8のD/Cオフセットは、このコンバータが移動電話によって送信される時分割バーストを

変調するために用いられたいない時に計測される。即ち、テストイングモードにおいては、理想的なD/Aコンバータのゼロボルト出力に対応するデジタル制御値が、パラレルにテストイングユニット14からD/Aコンバータ8の出力に供給される。この場合、D/Aコンバータ8の差出力8a、8b及び8c、8dにおいてゼロボルトが生じるはずである。即ち、全ての出力の電圧がゼロとなるはずである。D/Aコンバータ8の第1の出力対8a、8bの出力の電圧値UQ+、UQ-が第1の比較器10によって比較され、これと同様にD/Aコンバータ8の第2の出力対8c、8dの出力の電圧値U1+、U1-が第2の比較器11によって比較される。

【0023】D/Aコンバータ8の出力対8a、8b及び8c、8dに於ける出力の電圧差dU1=(UQ+)-(UQ-)+及びdU2=(U1+)-(U1-)がプラスであるとき、比較器10及び11は11に於ける出力10c及び11cが低くされる。即ち、この出力がマイナスの一定の電圧値とされ、これがデジタル信号プロセッサ7によって検出され、エラー訂正レジスタ12及び13によって検出され、Eラー訂正レジスタ12及び13は13の内容の値がこれに応じて1だけ増分される。

【0024】D/Aコンバータ8の出力対8a、8b及び8c、8dに於ける出力の電圧差dU1及びdU2がマイナスのとき、比較器10及び11は11に於ける出力10c及び11cが11cが高くなる。即ち、この出力がプラスの一定の電圧値とされ、これがデジタル信号プロセッサ7によって検出され、Eラー訂正レジスタ12及び13は13の内容の値がこれに応じて1だけ減分される。従って、各エラー訂正レジスタ12及び13は13に於ける値がD/Cオフセットにより、特にD/Aコンバータ8の出力対8a、8b及び8c、8dに於いて生じる非正規の符号によって決定される。

【0025】上記テストイングフェーズは繰り返される。前回のテストイングフェーズに関連して更新されたエラー訂正レジスタ12及び13は13に於ける値が加えられたテストイングユニット14の制御値がD/Aコンバータ8に入力される。次いで比較器10及び11は11により、D/Aコンバータ8の出力8a、8b及び8c、8dに於ける出力の差dU1及びdU2の極性が検出される。もし、U1及び11cが検出されれば、dU2の一方又は両方が依然としてプラスであれば、対応する又は両方の比較器10及び11は11に於ける出力10c及び11cは11cの状態がマイナスの低い一定電圧に維持される。信号プロセッサ7によって比較器10及び11は11の状態、即ち二つの出力の一方又は両方が低い状態が検出され、これによって対応する又は両方のエラー訂正レジスタ12及び13に於ける内容

に1が加えられて変更される。

【0026】上記テストイングフェーズは、D/Aコンバータ8の出力対8a、8b及び8c、8dに於ける出力の電圧差dU1及びdU2の極性が変化されるまで繰り返される。この場合、本例においては、オフセット電圧dU1及びdU2はdU2に於ける符号UQ+、UQ-及びdU1はU1+、U1-の符号がプラスからマイナスに変化し、それによって比較器10及び11は11に於ける出力10c及び11cは11cの状態がマイナスの信号からプラス信号へ変化する。即ち、出力が増加され、この増加がプラスの一定電圧の形で行われる。

【0027】同比較器10、11の出力10c、11cの状態に何らかの変化が生じれば、この変化が信号プロセッサ7によって検出される。その結果、対応するエラー訂正レジスタ12及び13の値の制御が行われ、オフセット電圧dU1、dU2並びにD/Cオフセットが可及的にゼロに近づけることがわかる。これによりテストイングモードが終了する。変調器は通常の動作を行い得る状態となる。その後、エラー訂正レジスタ12、13の値が、変換されるべき各信号サンプリングに追加され、またこれに於いてQ及び1プランチの出力信号に加えられる、それによりD/Cオフセットの補償が行われる。

【0028】信号プロセッサ7内にはこれに対応するデータ処理ユニットは、例えば処理ユニット16、17のような装置を含むことが望ましい。この装置16、17は、各比較器10、11の出力の電圧状態、特に、送信する二つのテストイングフェーズの間のテストイングモードに於けるこの電圧状態の変化をモニタリングするものである。比較器の出力の電圧状態がプラスからマイナスへ、又はその逆に変化した時、論理ユニット16、17によって与えられる情報に基づいてテストイングモードが終了する。この例においてはエラー訂正レジスタ12、13の値が変更されずに保持される。

【0029】移動電話又はこれに対応する装置がオンになると、すぐに、上述のような態様でテストイングモードが数テストイングフェーズにわたって行われ、エラー訂正レジスタ12、13の内容が列状に数回にわたってチェックされる。移動電話の通常の使用期間中に、適当な時間間隔でエラー訂正レジスタ12、13の内容を更新することが望ましい。例えば、この更新は、D/Aコンバータ8が変換されるべき実際の信号を処理して11の状態に行われる。本実施例においては、エラー訂正レジスタ12、13の更新は数テストイングフェーズ以内、極端には一つのテストイングフェーズ内において行われる。このテストイングフェーズ中に於いては、ゼロボルトに対応する制御値が、テストイングユニット14からD/Aコンバータ8に書き込まれる。もし出力対8a、8b及び8c、8dの電圧に

於ける差dU1及びdU2はdU2がプラスであるならば、エラー訂正レジスタ12及び13の値が1が減じられ、もしこれがマイナスの値であれば1が加えられることは前述の通りである。その後、テストイングモードは終了され、比較器10、11の出力10c、11cの出力の状態の変化については特に注意が払われない。

【0030】同じ手順が図1に示されるD/Cオフセットの補償及び変調器に関連して実行される。D/Cオフセットの変化が増加小さいので、各時間間隔中においてテストイングフェーズを一回行うだけでよい。

【0031】移動電話又はこれに対応する装置の通常の使用に関連してテストイングモードが実行される事に際し、D/AコンバータのD/Cオフセットを補償する為の装置に、図2に示される装置15を含めることが望ましい。この装置15は、時分割バーストの検出及び11cはフリータイムスロットの検出を行って、テストイングモードの間隔中にエラー訂正レジスタ12、13の内容を更新する事を可能にするものである。装置14は、デジタル信号プロセッサ7に関連して設けられる事は出来、既存の情報を用いてプログラムと一体に実行する事が出来る。

【0032】データ処理ユニットは、変調器に供給されたデジタル信号を処理する機能と、テストイングモード特にテストイングユニットをモニタする機能と、1個又はそれ以上の比較器の状態を検査する機能と、1個又はそれ以上のエラー訂正レジスタの内容の値をセットする機能とを有している。既に述べたように、このデータ処理ユニットは、例えば、デジタル信号プロセッサ又は論理回路、あるいはその組み合わせによって、マイクロコンピュータベースの装置として実現する事が出来る。

【0033】以上の説明から、当業者に於いては本発明の範囲を逸脱する事なく様々な変形が成し得る事は明らかであろう。特に、本発明は、D/Cオフセットの補償を必要とする如何なるタイプの回路や用途にも適用可能である。

【0034】本発明の範囲は、明確に明瞭に記載されているか又は単に示唆されているのみか、また、請求の範囲に述べられた発明に関連するか否か、又は当業者の間を解決するものであるか否かに関らず、明瞭に開示された新発明特徴とこれら新発明特徴の組合せを含むものである。本出願の係属中にこれらの特徴について新たなクレームを作成して提出するか、又はそのようなクレームを基にして本願から派生する他の出願を行う可能性があるとすることを付記する。

(図面の簡単な説明)

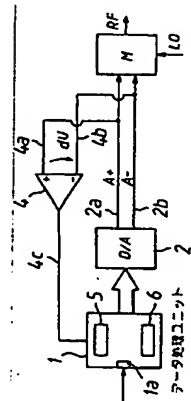
【図1】D/Aコンバータに於けるD/Cオフセットを補償する本発明に係る回路構成を示したブロック図である。

【図2】 D/Aコンバータに於けるD/Cオフセットを補償する本発明に係る移動電話のGMSK変調器のブロック図である。

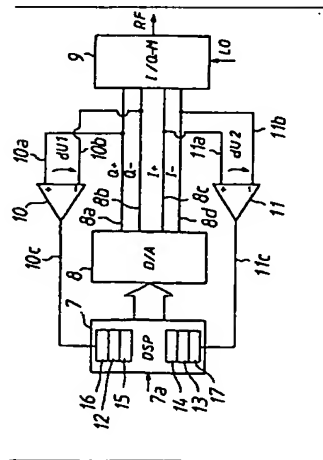
【符号の説明】

1…データ処理ユニット
2…D/Aコンバータ
3…R/D変調器
4…比較器
5…エラー訂正レジスタ
6…テストタイミングユニット
7…信号プロセッサ
8…D/Aコンバータ
9…1/Q周波数変調器
10, 11…比較器
12, 13…エラー訂正レジスタ
14…テストタイミングユニット

【図1】



【図2】



フロントページの続き

(72)発明者 ユッカ ランタ
フィンランド国、エフアイエス-24130
サロ、ラシンプハルタヤンカッ 5 エ
ス、1

【公報範囲】 特許法第17条の2の規定による補正の掲載
【補正範囲】 第7部門第3区分
【発行日】 平成14年4月5日 (2002. 4. 5)

【公開番号】 特開平7-202693
【公開日】 平成7年8月4日 (1995. 8. 4)
【年通号数】 公開特許公報7-2027
【出願番号】 特願平6-296698
【国際特許分類第7版】
H03M 1/10
1/06

【F1】
H03M 1/10 B
1/06

【手続補正箇所】
【提出日】 平成13年11月20日 (2001. 11. 20)

【手続補正1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正内容】

【特許請求の範囲】
【請求項1】 電子装置 (2; 8) に於ける信号のオフセットに対して補償を行う方法であって、所定の信号を前記電子装置 (2; 8) に入力する段階と、前記電子装置 (2; 8) からの、各々が前記所定の信号に対応する理想的な出力と実際の出力との差分を示すエラー信号を導き出す段階と、前記エラー信号に応じて、記述手段 (5; 12, 13) 内に格納された補償値を変更する段階と、前記補償値を前記電子装置 (2; 8) に対する次の信号入力に加算する段階と、

を行うオフセット補償方法。
【請求項2】 前記差分が最小値を通過するまで前記所定の信号を次の信号としながら前記段階を繰り返す段階を更に有する請求項1に記載の方法。
【請求項3】 前記電子装置 (2; 8) がD/Aコンバータである請求項1に記載の方法。
【請求項4】 前記エラー信号が前記差分の極性を表示している請求項1乃至3のいずれか1項に記載の方法。
【請求項5】 前記電子装置 (2; 8) が差分的な出力力ポートを有しており、前記実際の信号が差分信号である請求項1乃至4のいずれか1項に記載の方法。
【請求項6】 前記所定の信号が実質的に大ききゼロである請求項1乃至5のいずれか1項に記載の方法。
【請求項7】 前記エラー信号が、前記差分信号のそれぞれの信号間での差を示すものである請求項5又は6に

記載の方法。

【請求項8】 前記記述手段 (5; 12, 13) に格納された値は、前記極性がマイナスである場合には増分され、前記極性がプラスである場合には減分される請求項4乃至7のいずれか1項に記載の方法。

【請求項9】 前記差分の最小値の通過が前記差分の極性の変化によって示される請求項4乃至8のいずれか1項に記載の方法。

【請求項10】 前記補償値が、前記電子装置が動作していない期間中に行われる請求項1乃至9のいずれか1項に記載の方法。

【請求項11】 電子装置 (2; 8) に於ける信号のオフセットに対して補償を行うためのオフセット補償装置であって、

所定の信号を前記電子装置 (2; 8) に入力する為の入力手段 (1; 7) と、前記電子装置 (2; 8) からの、各々が前記所定の信号に対応する理想的な出力と実際の出力との差分を示すエラー信号を導き出す出力手段 (4; 10, 11) と、2, 13) 内に格納された補償値を変更する為の変更手段と、

前記補償値を前記電子装置 (2; 8) に対する次の信号入力に加算する為の加算手段と、

を具備するオフセット補償装置。
【請求項12】 前記電子装置 (2; 8) がD/Aコンバータである請求項11に記載の装置。

【請求項13】 前記出力手段 (4; 10, 11) が前記差分の極性を検出するように適合されている請求項11又は12に記載の装置。

【請求項14】 前記電子装置 (2; 8) が、差分信号として実際の信号を出力する差分信号ポートを備えている請求項11乃至13のいずれか1項に記載の装置。
【請求項15】 前記入力手段 (1; 7) が、実質的に

入さとゼロの所定信号を前記電子装置 (2: 8) に入力するように適合されている請求項 11 乃至 14 のいずれか一項に記述の装置。

【請求項 16】 前記差出力信号が、前記差出力信号のそれぞれの信号間の差を算出するように適合されている請求項 14 又は 15 に記述の装置。

【請求項 17】 前記差出力信号 (5: 12, 13) 内に格納された値が、前記特性がマイナスイメージである場合には増分され、前記特性がプラスである場合には減分される請求項 13 乃至 16 のいずれか一項に記述の装置。

【請求項 18】 前記差出力信号が、前記差出力信号 13 乃至前記差出力信号 14 の変化によって示される請求項 13 乃至 17 のいずれか一項に記述の装置。

【請求項 19】 前記入力手段 (1: 7) は、前記電子装置 (2: 8) が動作していないときに前定の信号を前記電子装置に入力する請求項 11 乃至 18 のいずれか一項に記述の装置。

【請求項 20】 前記電子手段 (5: 12, 13) に格納される値が更新されるとき、フリクタイムスロット又は前記電子装置 (2: 8) の非動作を伴うための装置 (15) を更に具備する請求項 19 に記述の装置。

【手続補正 2】

【補正対象事項】 明細書

【補正対象項目】 0005

【補正方法】 変更

【補正内容】

【0005】
【課題を解決するための手段】 本発明の第 1 の形態によれば、電子装置 (2: 8) に格納される信号のオフセットに対して補償を行う方法において、前記の信号を電子装置 (2: 8) に入力する段階と、上記電子装置 (2: 8) からの、各々が上記前記の信号に基いて算出される出力と実際の出力との差を示すエラー信号を導き出す段階と、このエラー信号に応じて、記憶手段 (5: 12, 13) に格納された補償値を変更する段階と、その補償値を上記電子装置 (2: 8) に対する次の信号入力に加工する段階とを備えた方法が提供される。また、本発明の第 2 の形態によれば、電子装置 (2: 8) に格納される信号のオフセットに対して補償を行う方法において、上記電子装置 (2: 8) に所定の信号を入力する為の入力手段 (1: 7) と、上記電子装置 (2: 8) からの、各々が上記前記の信号に基いて算出される出力と実際の出力との差を示すエラー信号を導き出す段階 (4: 5: 12, 13) に格納された補償値を変更する変更手段と、その補償値を上記電子装置 (2: 8) に対する次の信号入力に加工する為の加工手段とを具備する装置が提供される。

【手続補正 3】

【補正対象事項】 明細書

【補正対象項目】 0011

【補正方法】 変更

【補正内容】

【0011】 図 1 に示す回路構成において、例えば 8 ビットワードのシリアル信号であるデジタル信号が、入力 1a から処理ユニット 11 に入力される。処理ユニット 11 において 1 個又はそれ以上の数の変換信号が、適用される変換方法に応じて得られ、これらの変換信号がデータバス 1b を経由してパラレルに D/A コンバータに入力される。D/A コンバータ 2 の差出力 2a, 2b から得られるアナログ信号 A+, A- は R/F 変換器 3 に入力される。上記アナログ信号 A+, A- は R/F 変換器 3 の増幅器信号 LQ とが R/F 変換器 3 の中で組み合わされて高周波信号 RF が形成され、これが無線経路に送り出される。

【手続補正 4】

【補正対象事項】 明細書

【補正対象項目】 0018

【補正方法】 変更

【補正内容】

【0018】 DC オフセットの変化の場合は、テストモードの繰り返し周波数及びエラー訂正レジスタ 5 の更新の間隔に比べても十分に低い。従ってテストインジケータをこれよりも短い間隔で行ってやる必要はない。

【手続補正 5】

【補正対象事項】 明細書

【補正対象項目】 0021

【補正方法】 変更

【補正内容】

【0021】 D/A コンバータ 8 の出力 8a, 8b 及び 8c, 8d においては、既に述べたように、主に温度変化に起因する電圧ドリフトによって DC オフセットが生じる。装置は、D/A コンバータの DC オフセットを補償するために、D/A コンバータ 8 に関連して設けられた差出力 8a, 8b 及び 8c, 8d、並びにこれに関連して設けられた二つの比較器 10, 11 を有しており、これらの比較器の入力 10a, 10b 及び 11a, 11b が出力 8a, 8b 及び 8c, 8d にそれぞれ接続されている。装置はさらに信号プロセッサ 7 を含んでおり、これに比較器 10 及び 11 のそれぞれの出力 10c 及び 11c が接続されており、さらに、二つのエラー訂正レジスタ 12, 13 とテストインジケータ 14 とを含んでいる。エラー訂正レジスタ 12, 13 及びテストインジケータ 14 は処理ユニット 11 に関連して設けられることが望ましい。

【手続補正 6】

【補正対象事項】 明細書

【補正対象項目】 0024

【補正方法】 変更

【補正内容】

【0024】 D/A コンバータ 8 の出力 8a, 8b 及び 8c, 8d に格納される出力の電圧差 dU1 及び dU2 がマイナスイメージであるとき、比較器 10 及び 11 における出力 10c 及び 11c は 1 に格納される。即ち、この出力がプロセス 7 の一定の電圧値とされ、これがデジタル信号プロセッサ 7 によって検出され、エラー訂正レジスタ 12 及び 13 によって、各エラー訂正レジスタ 12 及び 13 に格納される。D/A コンバータ 8 の出力 8a, 8b 及び 8c, 8d によって生じる差電圧の符号によって決定される。

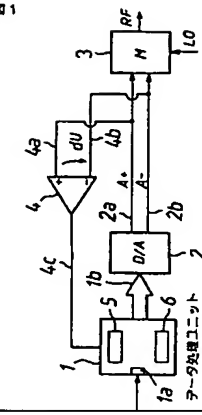
【手続補正 7】

【補正対象事項】 明細書

【補正対象項目】 0031

【補正方法】 変更

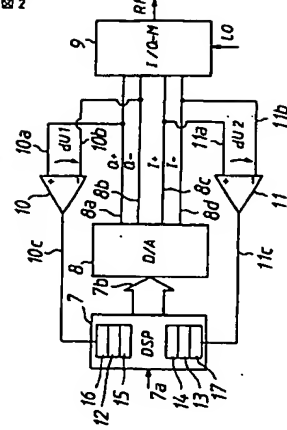
【補正内容】



【手続補正 9】

【補正対象事項】 図面

【補正対象項目】 図 2



【0031】 移動電話又はこれに対応する装置の通常の使用に関してテストモードが実行される事に電圧差 dU1 及び dU2 がマイナスイメージであるとき、比較器 10 及び 11 における出力 10c 及び 11c は 1 に格納される。即ち、この出力がプロセス 7 の一定の電圧値とされ、これがデジタル信号プロセッサ 7 によって検出され、エラー訂正レジスタ 12 及び 13 によって、各エラー訂正レジスタ 12 及び 13 に格納される。D/A コンバータ 8 の出力 8a, 8b 及び 8c, 8d によって生じる差電圧の符号によって決定される。

【手続補正 8】

【補正対象事項】 図面

【補正対象項目】 図 1

【補正方法】 変更

【補正内容】

【図 1】